# Thiết kế mạch.

## Sơ đồ khối tổng quát:

Modem PLC

PC

Power line

Khối giao tiếp đường điện

Khối xử lý trung tâm

* + **Khối xử lý trung tâm:**
    - Nhiệm vụ:
* Giao tiếp, điều khiển khối giao tiếp đường dây điện.
* Giao tiếp với máy tính.
* Ghép và tách khung dữ liệu, có khả năng phát hiện lỗi và sửa lỗi dữ liệu.
  + Vi điều khiển sử dụng trong khối xử lý trung tâm là Atmega32, do đây là một vi điều khiển có tốc độ xử lý và bộ nhớ khá lớn, tích hợp nhiều chức năng, dễ lập trình. Bên cạnh đó có rất nhiều phần mềm hỗ trợ lập trình bằng ngôn ngữ C cho vi điều khiển này.
* **Khối giao tiếp đường dây điện**
  + Nhiệm vụ:

Điều chế và giải điều chế từ tín hiệu số sang tín hiệu tương tự để truyền trên đường dây tải điện và ngược lại.

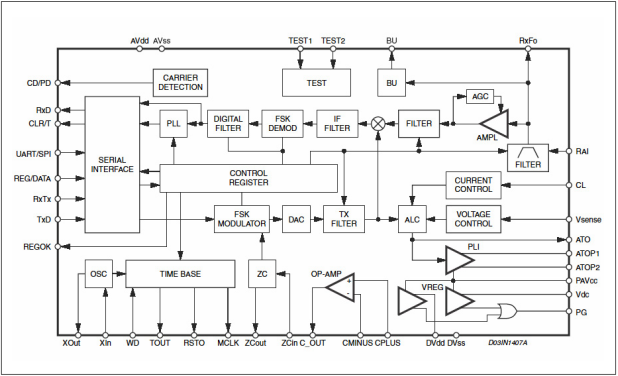
* + Sử dụng IC ST7538Q làm IC điều chế.

## Giới thiệu IC ST7538

### Các đặc điểm:

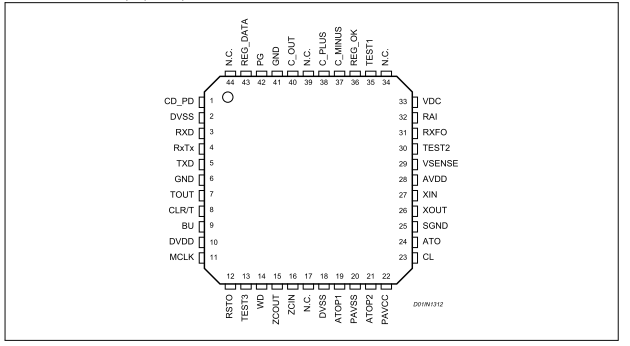
* + Là IC thu phát sử dụng phương pháp điều chế dịch khóa tần số FSK (frequency sift keying)
  + Giao tiếp lập trình được ở chế độ đồng bộ và không đồng bộ
  + Điện áp cấp (7.5 tới 12.5V)
  + Hỗ trợ tám tần số phát lập trình được.
  + Lập trình được tốc độ baud lên tới 4800BPS
  + Độ nhạy thu 1mVRMS
  + Phù hợp với ứng dụng theo tiêu chuẩn EN 50065 CENELEC
  + Có thể lựa chọn phát hiện sóng mang hoặc phần mở đầu (preamble)
  + Phát hiện dải sóng đang sử dụng
  + Lập trình được thanh ghi điều khiển
  + Các chức năng phụ: Watchdog, output clock, output voltage, time-out.

### Sơ đồ khối IC ST7538Q:



Hình : Sơ đồ khối ST7538

### Đóng gói:



Hình : Sơ đồ đóng gói ST7538

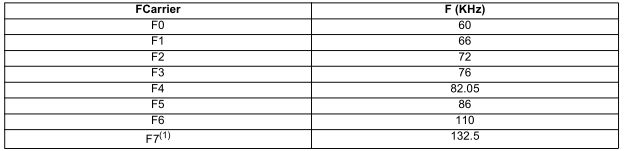
### Bảng chức năng các chân:

* + Bảng : Chức năng các chân

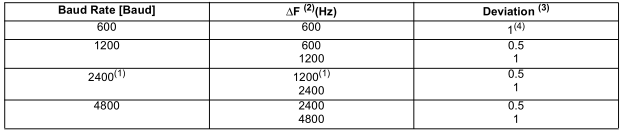
|  |  |  |  |
| --- | --- | --- | --- |
| STT | Tên | Kiểu | Mô tả |
| 1 | CD\_PD | Số/ Đầu ra | Phát hiện Sóng mang hay phần mở đầu.  "1 " Không có sóng mang hay phần mở đầu phát hiện.  "0 " Có sóng mang hay phần mở đầu phát hiện. |
| 2 | DVss | Cung cấp | Đất số |
| 3 | RxD | Số/ Đầu ra | Dữ liệu Đầu ra RX |
| 4 | RxTx | Số/Đầu vào  Có điện trở kéo lên | Kiểu lựa chọn Rx hay Tx  “1” Rx  “0” Tx |
| 5 | TxD | Số/Đầu vào  Có điện trở kéo xuống | TX dữ liệu vào |
| 6 | GND | Cung cấp | Đất |
| 7 | TOUT | Số/Đầu ra | Phát hiện truyền quá hạn.   1. - Quá hạn. 0 - Không quá hạn |
| 8 | CLR/T | Số/Đầu ra | Đồng bộ đồng hồ truy cập |
| 9 | BU | Số/ Đầu ra | Dải trong sử dụng  1 – tín hiệu trong dải, 0 – Không có tín hiệu trong dải |
| 10 | DVdd | Cung cấp | Điện áp cung cấp số |
| 11 | MCLK | Số/Đầu ra | Đầu ra đồng hồ chủ |
| 12 | RSTO | Số/Đầu ra | Reset bộ giám sát |
| 13 | TEST3 | Số/Đầu vào | Thử đầu vào |
| 14 | WD | Số/Đầu vào | Xóa bộ đếm giám sát |
| 15 | Zcout | Số/Đầu vào | Phát hiện số không |
| 16 | Zcin | Tương tự/ Đầu vào | Đầu vào AC số không |
| 17 | NC | Nổi | Nối với DVss |
| 18 | DVss | Cung cấp | Đất số |
| 19 | ATOP1 | Điện/Đầu ra | Đầu ra điều khiển đường điện |
| 20 | PAVss | Cung cấp | Đất tương tự |
| 21 | ATOP2 | Điện/Đầu ra | Đầu ra điền khiển đường điện |
| 22 | PAVcc | Cung cấp | Điện áp cung cấp điện |
| 23 | CL2 | Tương tự/ Đầu vào | Hồi tiếp giới hạn dòng |
| 24 | ATO | Tương tự/ Đầu ra | Đầu ra truyền tín hiệu nhỏ tương tự |
| 25 | SGND | Cung cấp | Đất tín hiệu tương tự |
| 26 | XOUT | Tương tự I/O | Đầu ra thạch anh – Đầu vào đồng hồ ngoài |
| 27 | XIN | Vào Tương tự | Đầu vào dao động thạch anh |
| 28 | Avdd | Cung cấp | Cung cấp nguồn tương tự |
| 29 | Vsense | Tương tự/ đầu vào | Đầu vào cảm ứng áp |
| 30 | TEST2 | Tương tự/ Đầu vào | Nối SGND |
| 31 | RxFO | Tương tự/Đầu ra | Đầu ra bộ lọc thu |
| 32 | RAI | Tương tự/Đầu vào | Đầu vào tương tự thu |
| 33 | VDC | Điện | 5V Điều chỉnh đầu ra |
| 34 | NC | Nổi | Nối DVss |
| 35 | TEST1 | Số/Đầu vào | Đầu vào kiểm tra. Nối DVss |
| 36 | REGOK | Số/Đầu ra | Đầu ra logic kiểm tra tổng  1 – lưu dữ liệu hỏng. 0 – Lưu thành công |
| 37 | C\_MINUS | Tương tự/ Đầu vào | Đầu vào đảo Op-amp |
| 38 | C\_PLUS | Tương tự/ Đầu vào | Đầu vào không đảo Op-amp |
| 39 | NC | Nổi | Nối DVss |
| 40 | C\_OUT | Tương tự/ đầu ra | Đầu ra Op\_amp |
| 41 | GND | Cung cấp | Đất |
| 42 | PG | Số/ Đầu ra | Đầu ra điện áp logic tốt  1 – VDC trên 4.5V. 0 – VDC dưới 4.25V |
| 43 | REG\_DATA | Số/Đầu vào | Lựa chọn truy cập chính hay thanh ghi điều khiển  0 – Truy cập chính. 1 – Thanh ghi điều khiển |
| 44 | NC | Nổi | Nối DVss |

### Bảng các tần số sóng mang của IC ST7538Q:

* + ST7538 là một thiết bị đa tần số, nó có tám tần số sóng mang lập trình được. Chỉ một sóng mang được sử dụng trong một thời điểm. Kênh thông tin có thể thay đổi trong chế độ hoạt động bình thường để thực thi một truyền thông đa tần. Lựa chọn tần số mong muốn trong thanh ghi điều khiển, bộ lọc Truyền và Tiếp nhân sẽ tự động điều chình theo.



### Bảng tốc độ Baud:



### Tần số không gian và tần số đánh dấu:

* + Tần số không gian và tần số đánh dấu được xác định bởi công thức sau:

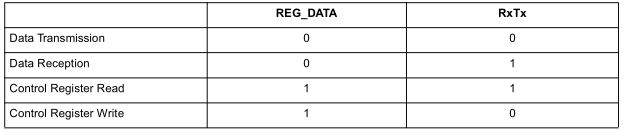
F(“0”) = Fcarrier + [ΔF]/2

F(“1”) = Fcarrier - [ΔF]/2

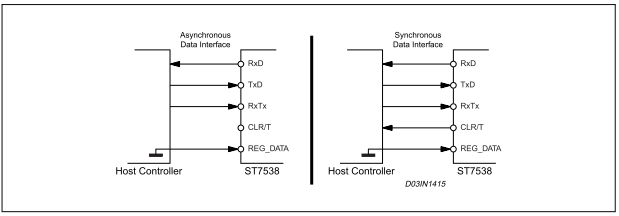
ΔF: độ lệch tần số, ΔF = Deviation\*Baudrate

### Giao tiếp với vi điều khiển chủ:

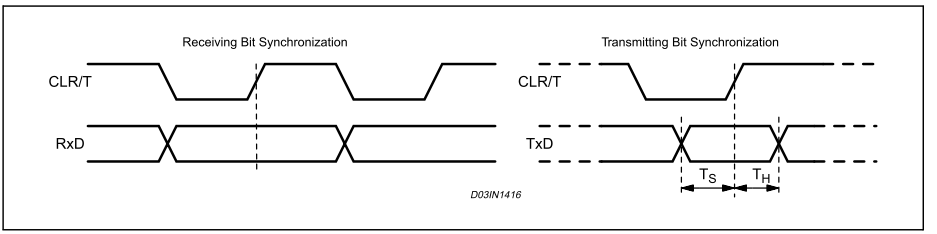
* + ST7805 trao đổi dữ liệu với vi điều khiển chủ qua giao diện nối tiếp.
  + Dữ liệu trao đổi được quản lý bởi các chân REG\_DATA , RxTx, các chân dùng để trao đổi dữ liệu là RxD, TxD và CLR/T.
  + 4 chế độ làm việc của ST7538:
    - Thu dữ liệu
    - Truyền dữ liệu
    - Đọc thanh ghi điều khiển
    - Ghi thanh ghi điều khiển
  + REG\_DATA và RxTx là các đầu vào tạo ra bốn chế độ hoạt động:

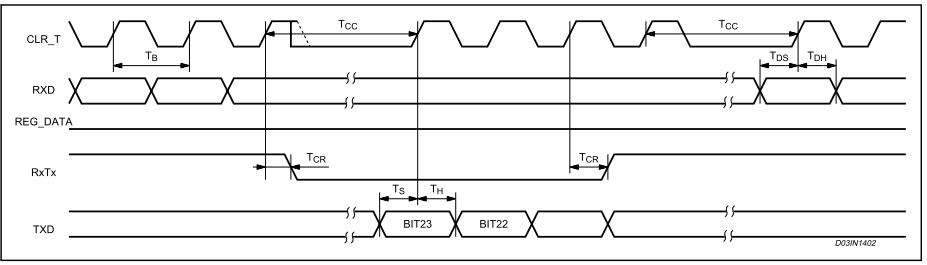


* + Kết nối với vi điều khiển chủ:
    - ST7538 Hỗ trợ hai chế dộ giao tiếp
      * Không đồng bộ
      * Đồng bộ.



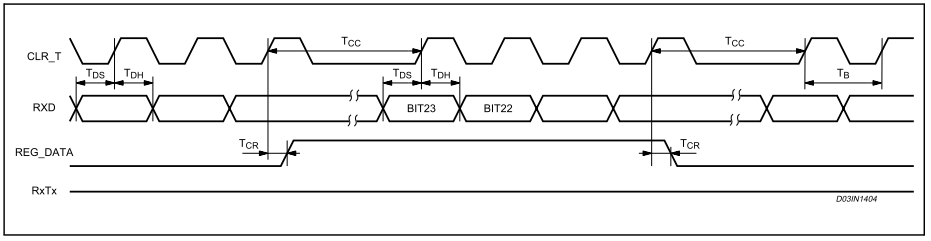
Hình : Kết nối với vi điều khiển chủ

* + - Chế độ không đồng bộ.   
      ST7538 cho phép giao tiếp với máy chủ bằng cách sử dụng một giao diện 3 đường (RXD, TXD & RxTx). Các dữ liệu được trao đổi mà không cần bất kỳ tham chiếu đồng hồ phụ nào và không cần thêm bit giao thức. Bộ điều khiển chủ phải khôi phục lại các tham chiếu đồng hồ trong chế độ thu và kiểm soát các thời gian Bit trong chế độ truyền dẫn. Đường RxD bắt buộc phải là một cấp logic thấp khi không có sóng mang được phát hiện.
    - Chế độ đồng bộ.   
      St7538 cho phép giao tiếp máy chủ sử dụng bốn đường giao diện đồng bộ (RXD, TXD, CLR / T & RxTx). ST7538 luôn luôn là Master và cung cấp các tham chiếu đồng hồ trên đường CLR / T .  
      Khi ST7538 trong chế độ thu, một bộ vòng khóa pha PLL phục hồi tham chiếu đồng hồ. Dữ liệu RxD ổn định tại sườn lên CLR/T. Khi ST7538 trong chế độ truyền tải đồng hồ tham chiếu nội được tạo ra và các dữ liệu được đọc trên TxD tại sườn lên CLR/T.   
      Nếu dòng RxTx được thiết lập "1" & REG\_DATA = "0" (nhận dữ liệu), ST7538 ở trạng thái Idle và đường CLR / T ở mức thấp. Sau thời gian TCC modem bắt đầu cung cấp dữ liệu trên đường RxD.   
      Nếu dòng RxTx được thiết lập "0" & REG\_DATA = "0" (Truyền dữ liệu), ST7538 trong trạng thái Idle. Sau thời gian TCC modem bắt đầu truyền tải dữ liệu trên đường TXD   
      

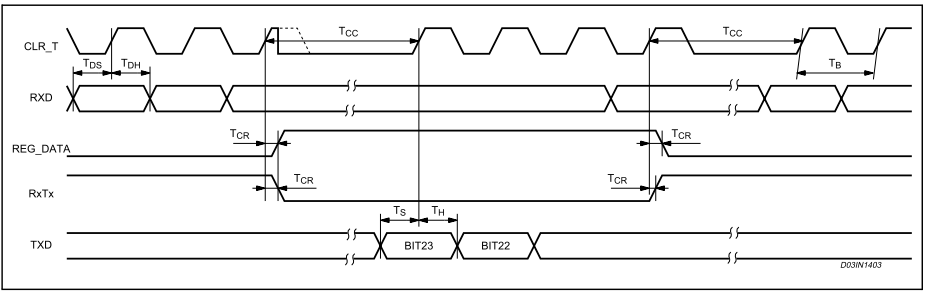
Hình : Thu và phát đồng bộ  
  


Hình : Tiếp nhận dữ liệu -> Truyền dữ liệu -> nhận dữ liệu

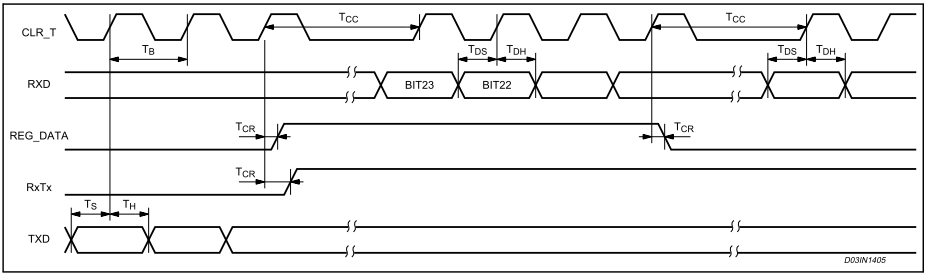
* + Truy cập thanh ghi điều khiển
    - Giao tiếp với thanh ghi điều khiển ST7538 luôn luôn ở chế độ đồng bộ. Truy cập được thực hiện sử dụng cùng các đường của giao diện chính ( RxD, TxD, và CLR/T) cộng thêm REG\_DATA.
    - Với REG\_DATA = 1 và RxTx = 0, dữ liệu biễu diễn trên TxD được nạp vào trong thanh ghi điều khiển MSB đầu tiên. ST7538 lấy mẫu đường TxD tại sườn lên CLR/T. Nội dung thanh ghi điều khiển được cập nhật ở cuối phiển truy cập thanh ghi (REG\_DATA sườn xuống). Nếu hơn 24 bit được truyền tới ST7538 chỉ 24 bit cuối được nạp vào trong thanh ghi điều khiển.
    - Với REG\_DATA = 1 và RxTx = 1, nội dung thanh ghi điều khiển được gửi tới cổng RxD. Dữ liệu trên RxD được ổn định tại sườn lên CLR/T và MSB đầu tiên.



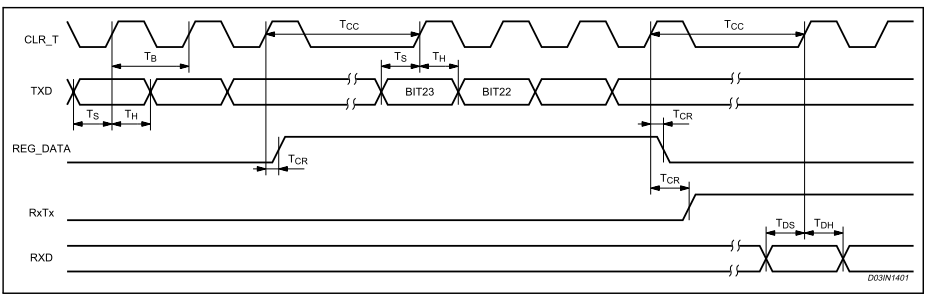
* + - Hình : Thu dữ liệu => đọc thanh ghi điều khiển => thu dữ liệu



* + - Hình : Thu dữ liệu => Ghi thanh ghi điều khiển => Thu dữ liệu



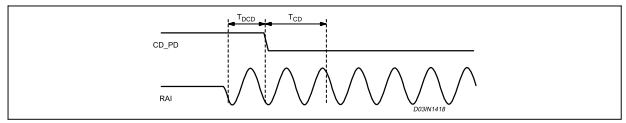
* + - Hình : Truyền dữ liệu => Đọc thanh ghi điều khỉển => Thu dữ liệu



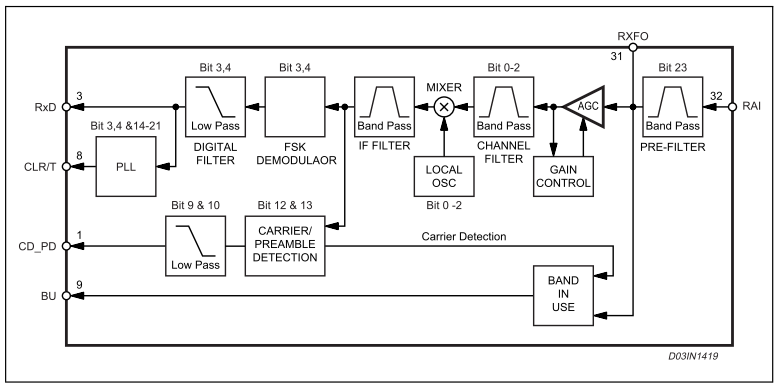
* + - Hình : Truyền dữ liệu => Ghi thanh ghi điều khiển => Thu dữ liệu.
  + Chế độ thu dữ liệu
    - Phiên thu được kích hoạt khi RxTx = 1 và REG\_DATA = 0.
    - Chế độ dò tìm Sóng mang/ Phần mở đầu:
      * Khối dò tìm Sóng mang/Phần mở đầu là một mạch số dò tìm tần số.

Nó có thể được sử dụng để quản lý truy cập chính và phát hiện tín hiệu đến

* + - * Có hai chế độ cài đặt:
        + Dò tìm sóng mang
        + Dò tìm phần mở đầu
      * Dò tìm sóng mang: Khối dò tìm sóng mang/ phần mở đầu báo tới vi điều khiển chủ sự hiện diện của sóng mang khi phát hiện trên chân RAI tín hiệu vào với một thành phần cộng hưởng gần với tần số sóng mang đã được lập trình. Đô nhạy tín hiệu CD\_PD giống với độ nhạy thu dữ liệu ( 1mVrms. Trong chế độ nhạy thông thường). Đường CD\_PD được đưa về mức logic thấp khi một sóng mang được phát hiện.
      * Dò tìm phần mở đầu: Khối dò tìm sóng mang/ phần mở đầu báo tới vi điều khiển chủ sự hiện diện của sóng mang điều chế ở tốc độ Baud đã được lập trình khi ít nhất 4 ký hiệu liên tiếp 1010 hoặc 0101 được phát hiện. Đường CD\_PD được đưa tới 0 trong khi tín hiệu sóng mang được tìm thấy.

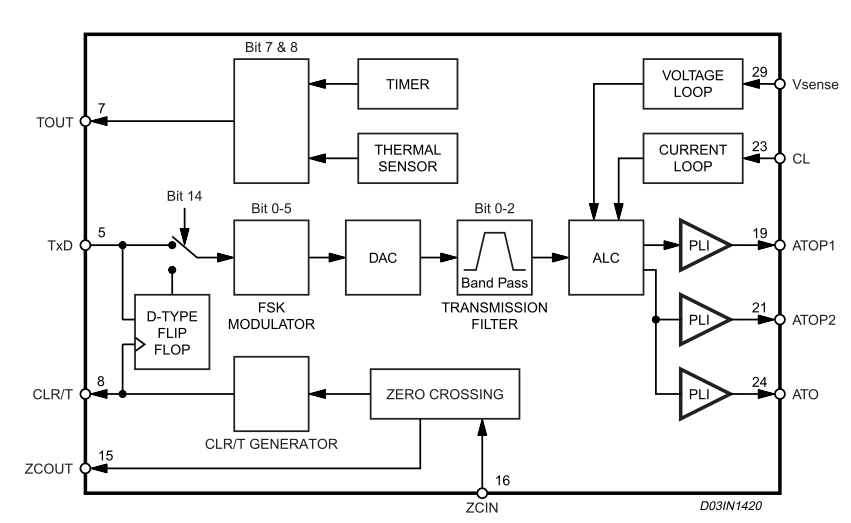


Hình : Biểu đồ thời gian CD\_PD trong phiên nhận.



Hình : Sơ đồ khối Phần thu

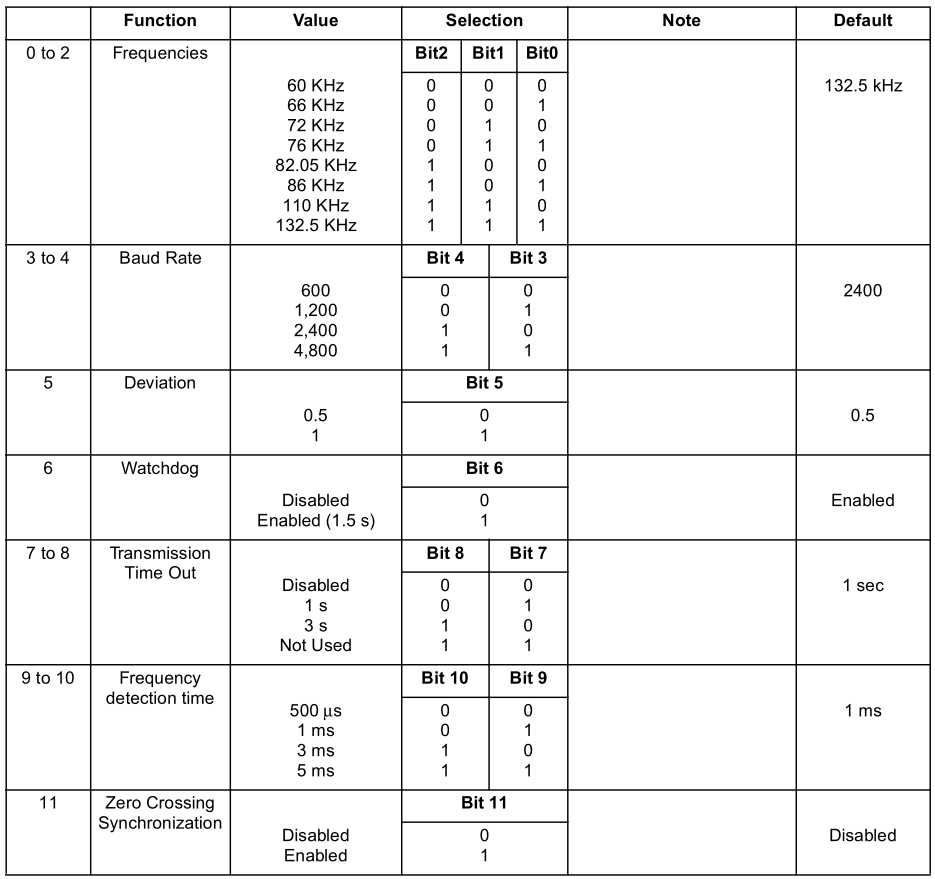
* + Chế độ phát dữ liệu:
    - Chế độ phát được thiết lập khi RxTx = 0 và REG\_DATA = 0. Trong chế độ phát bộ điều chế FSK và Giao diện đường điện được kích hoạt. Dữ liệu phát (TxD) được đưa vào đồng bộ hay không đồng bộ tới bộ điều chế FSK.
      * Chế độ đồng bộ vi điều khiển chủ: tại sườn lên CLR/T, giá trị tại TxD được đọc và gửi tới bộ điều chế FSK. ST7538 quản lý thời gian truyền dựa theo tốc độ baud lựa chọn.
      * Chế độ không đồng bộ vi điều khiển chủ: Dữ liệu TxD đưa trực tiếp vào trong bộ điều chế FSK. Vi điều khiển chủ quản lý thời gian truyền.
    - Trong tất cả các trường hợp không có bit giao thức nào được thêm bởi ST7538. Tần số FSK được tổng hợp trong bộ điều chế FSK từ dao động thạch anh 16M bởi công nghệ tổng hợp số trực tiếp.

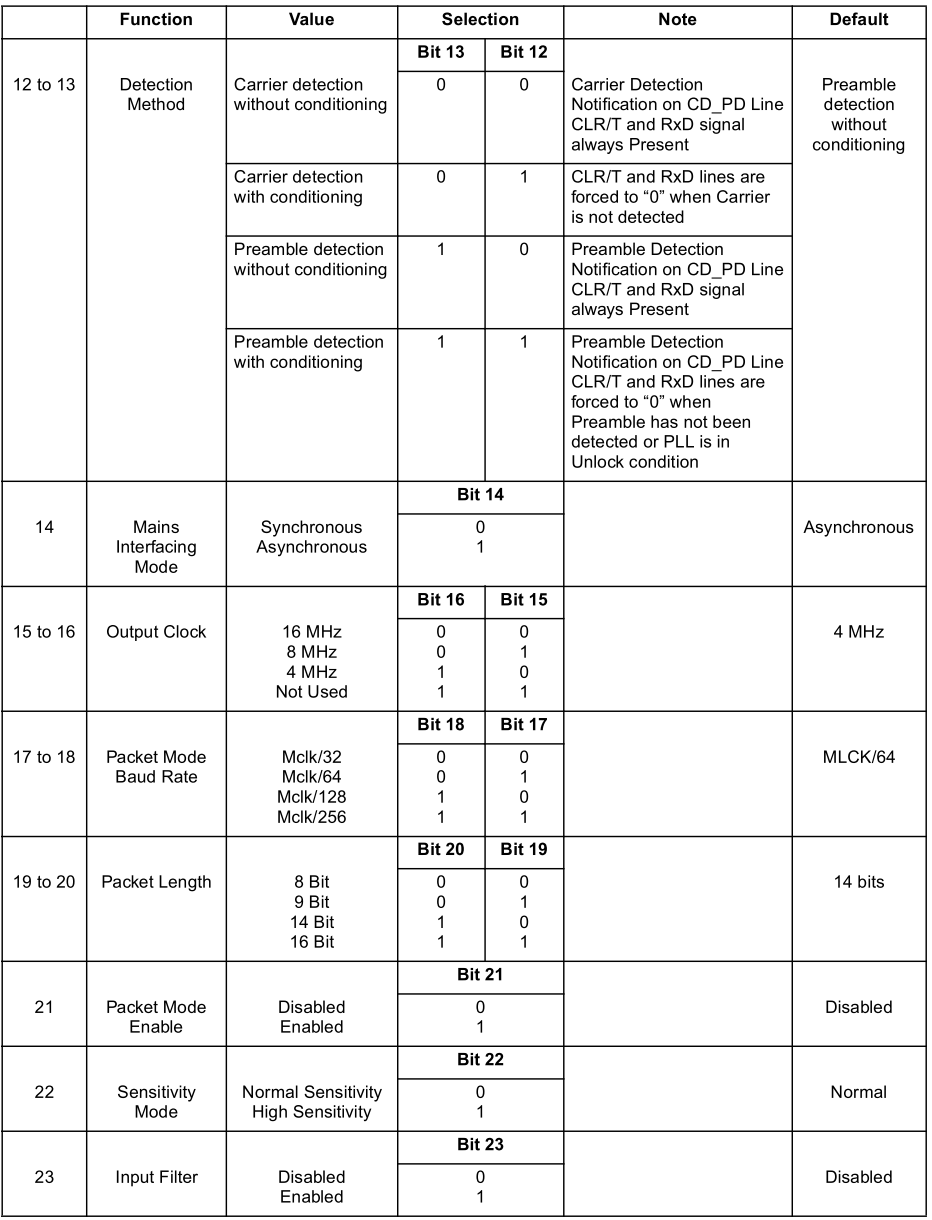


Hình : Sơ đồ khối khối phát.

### Thanh ghi điều khiển:

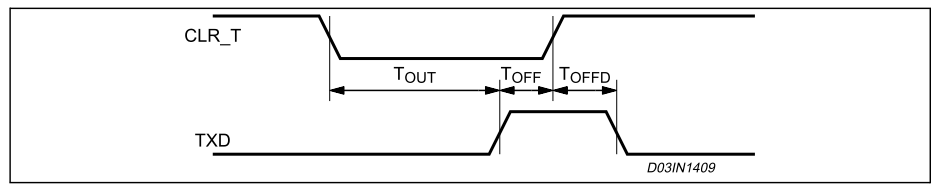
* + ST7538 là bộ thu phát nhiều chức năng và nhiều kênh. Thanh ghi điều khiển có 24 bit cho phép quản lý tất cả các tham số lập trình
  + Các chức năng có thể lập trình là:
    - Tần số kênh
    - Tốc độ Baud
    - Độ lệch tần số
    - Bộ giám sát
    - Thời gian chờ truyền
    - Thời gian phát hiện tần số
    - Đồng bộ qua số không
    - Phương pháp phát hiện
    - Kiểu giao tiếp chính
    - Đồng hồ ngoài
    - Tốc độ Baud kiểu gói
    - Độ dài gói
    - Cho phép gói
    - Bộ lọc đầu vào
    - Độ nhạy
    - Bảng : Các chức năng thanh ghi điều khiển





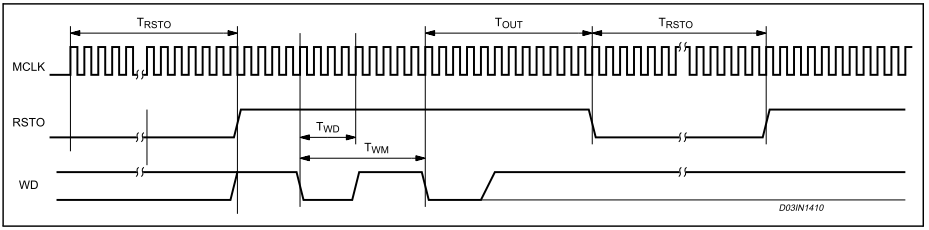
### Các chức năng phụ

* + Dải tần sử dụng
    - Khối dải tần sử dụng có chức năng giống một bộ phát hiện sóng mang nhưng với độ nhạy đầu vào khác nhau ( 77dBuV) và với một bộ lọc thông dải khác (40DB/Dec). Đường BU được đưa về mức cao khi một tín hiệu trong dải được phát hiện. Để
    - Để ngăn ngừa chuyển trạng thái sai trên đường BU, tín hiệu BU được đặt điều kiện để dò tìm sóng mang tín hiệu bên trong.
  + Thời gian quá hạn
    - Chức năng thời gian quá hạn để ngăn ngừa phát dữ liệu quá dài. Khi chức năng thời gian quá được cho phép, sau 1 hoặc 3 s truyền liên tiếp bộ thu phát được ép về chế độ thu. Chức năng này cho phép ST7538 quan lý tự động các đặc điểm kỹ thuật của truy cập phương tiện truyền đạt CENELEC. Khi một sự kiện thời gian quá hạn xảy ra, TOUT được đưa vè mức cao cho ít nhất 125ms. Để mở khóa điều kiện quá hạn RxTx nên được đưa về mức cao.
    - Trong chuỗi reset nếu đường RxTx = 0, REG\_DATA = 1, Ngăn ngừa quá hạn được cho phép và ST7538 phải được cấu hình trong chế độ thu dữ liệu sau reset trước khi khởi động truyền dữ liệu mới.
    - Thời gian quá hạn được lập trình sử dụng Bit 7 và 8 của thanh ghi điều khiển.



Hình: Biều đồ thời gian quá hạn

* + Giám sát và khởi động lại
    - Đầu ra RSTO là bộ tạo Reset cho mạch ứng dụng. Trong chuỗi khởi động ST7538 được đặt ở mức thấp. RSTO trở thành mức cao sau khi một trễ TRsto từ kết thúc của chuỗi khởi động động. Bên trong ST7538 còn có chức năng giám sát ( watchdog). Chức năng giám sát dùng để phát hiên sự xuất hiện của lỗi phần mềm của vi điều khiển chủ. Mạch giám sát tạo ra một Reset ngoài và trong (RSTO thấp cho TRSTO) khi bộ định thời giám sát bên trong quá hạn. Bộ định thời giám sát có thể được Reset bằng cách cho một chuyển đổi âm trên chân WD.



Hình : Định thời bộ giám sát và Reset

* Xung đầu ra:
  + MCLK là đầu ra xung master. Nguồn tần số xung có thể được lập trình thông qua thanh ghi điều khiển là tỉ lệ của tần số thạch anh ( Fosc, Fosc/2, Fosc/4). Sự chuyển đổi giữa một tần số và một tần số khác được thực hiện ở cuối của vòng hoạt động.
* Thanh ghi tốt
  + REGOK cho phép phát hiện một chỉnh sửa không mong muốn của nội dung thanh ghi điều khiển. Chức năng REGOK không được phép trong phiên ghi thanh ghi điều khiển.

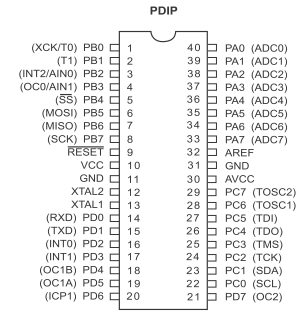
## Giới thiệu vi điều khiển Atmega32

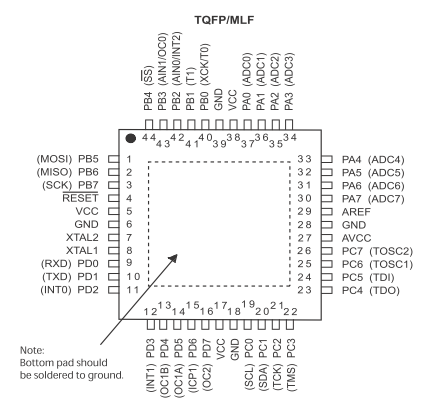
* + Là vi điều khiển 8-bit CMOS công suất tiêu thụ thấp dựa trên cấu trúc RISC AVR. Bằng cách thực hiện các lệnh mạnh trong một chu kỳ đồng hồ. Atmega32 đạt được tốc độ xấp xỉ 1MIPS trên 1MHz cho phép người thiết kế tối ưu công suất tiêu thụ với tốc độ sử lý.

### Các tính năng:

* + Cấu trúc RISC
    - Hỗ trợ 131 lệnh
    - 32x8 thanh ghi dùng chung
    - Tốc độ 16 MIPS với thạch anh 16 MHz
  + Bộ nhớ
    - 32K Byte bộ nhớ Flash
    - 1K Byte EEPROM
    - 2K Byte SRAM
    - Hỗ trợ lập trình ngay trên mạch với chương trình mồi
    - Có các bít khóa bảo mật
  + Giao diện JTAG
    - Khả năng quét biên theo chuẩn JTAG
    - Hỗ trợ gỡ lỗi trên chip
    - Lập trình bộ nhớ Flash, EEPROM, các bít khóa qua giao diện JTAG
  + Các tính năng ngoại vi
    - Hai bộ đếm/định thời 8 bit
    - Một bộ đếm / định thời 16 bit
    - Bộ đếm thời gian thực với bộ giao động riêng
    - Bốn kênh PWM
    - 8 kênh ADC 10 bit
    - Giao tiếp I2C, USART, SPI.
    - Bộ so sánh Analog trên chíp
  + Các tính năng khác
    - Có bộ giao động RC bên trong
    - Ngắt trong và ngắt ngoài
    - Sáu chế độ ngủ
  + Đóng gói I/O
    - 32 đường I/O lập trình được
    - 40 chân PDIP
  + Điện áp hoạt động
    - 2.7 – 5.5 V với Atmega32L
    - 4.5 – 5.5 V với Atmega32
  + Tốc độ
    - 0 - 8 MHz với Atmega32L
    - 0 - 16 MHz với Atmega32

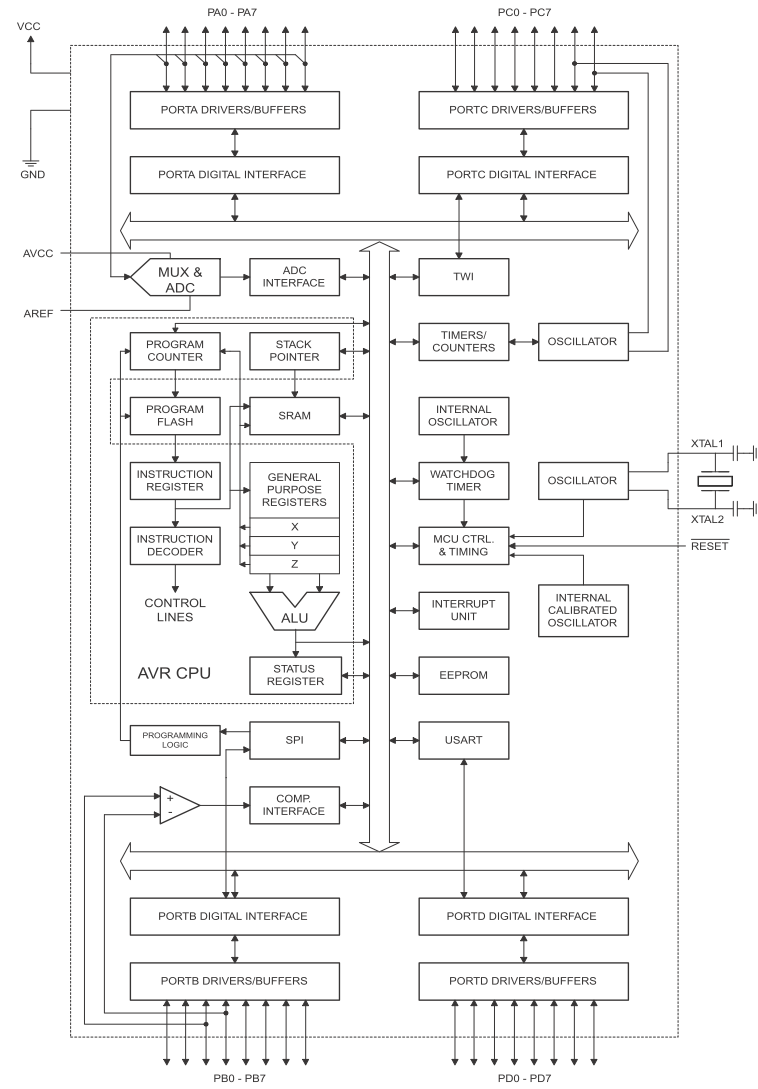
### Đóng gói:





Hình : Sơ đồ đóng gói Atmega32

### Sơ đồ khối:

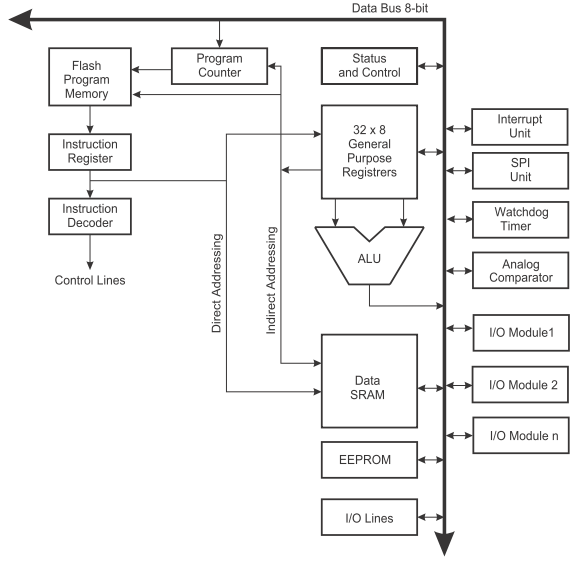


Hình : Sơ đồ khối Atmega32

### Mô tả chân:

* + VCC: Điện áp cung cấp.
  + GND: Nối đất.
  + PortA, PortB, PortC, PortD: Có thể được cấu hình như các cổng cổng I/O 8-bit hai hướng thông thường hoặc cấu hình để sử dụng các chức năng đặc biệt khác . Các chân của Port có thể được nối với các điện trở kéo lên bên trong (lựa chọn cho từng bit).
  + Reset: Là đầu vào. Khi đưa một mức điện áp thấp vào chân này có độ dài lớn hơn một xung sẽ reset hệ thống.
  + XTAL1, XTAL2: Các đầu vào dao động.
  + AVCC: Điện áp cấp cho các bộ ADC. Thường được nối với VCC qua một bộ lọc thông thấp.
  + AREF: Điện áp tham chiếu cho các bộ biến đổi ADC.

### Lõi CPU AVR



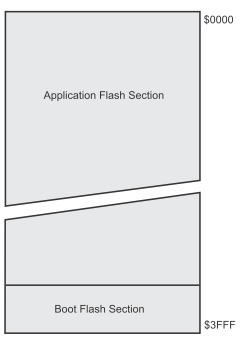
Hinh : Lõi CPU AVR

* + Để có được hiệu năng cao nhất và khả năng làm việc song song , AVR sử dụng cấu trúc Harvard – với sự phân chia bộ nhớ và các bus cho chương trình và dữ liệu . Các lệnh trong bộ nhớ chương trình được thực thi với 1 cấp sử lí liên lệnh đơn . Trong khi lệnh đang được xử lí thì lệnh tiếp theo được nạp tiếp từ bộ nhớ chương trình . Khái niệm này kích hoạt lệnh để thực thi trong mỗi chu kì xung nhịp đồng hồ . Bộ nhớ chương trình là bộ nhớ flash có thể lập trình lại được ở trong hệ thống .
  + 6 trong 32 thanh ghi chung có thể được sử dụng như là 3 địa chỉ 16 bit gián tiếp cho vùng dữ liệu địa chỉ - kích hoạt địa chỉ có hiệu lực trong tính toán. 1 trong những con trỏ địa chỉ này có thể được sử dụng như là một con trỏ địa chỉ cho việc tìm kiếm các bảng trong bộ nhớ chương trình Flash . Các thanh ghi chức năng được thêm vào là các thanh ghi 16 bit X , Y , Z.
  + Không gian nhớ Flash được chia ra làm 2 phần, phần chương trình khởi động và phần chương trình ứng dụng . Cả 2 phần này đều có các bit khóa riêng cho sự bảo vệ ghi và đọc/ghi . Lệnh SPM được viết vào trong bộ nhớ ứng dụng Flash phải được thường chú trong khu vực khởi động chương trình.
  + Trong suốt quá trình ngắt và gọi các chương trình con, sự hoàn trả địa chỉ của bộ đếm chương trình được lưu ở trong ngăn xếp (Stack ) . Ngăn xếp ( stack ) được gán trong vùng dữ liệu chung SRAM , và do đó kích thước ngăn xếp ( stack ) chỉ bị giới hạn bởi độ lớn của SRAM và độ sử dụng của SRAM. Tất cả các chương trình người dùng phải được khởi tạo SP ( stack poiter) trong thủ tục reset (trước khi chương trình con hoặc các ngắt được thực thi ) . Con trỏ ngăn xếp ( SP- stack pointer ) được truy cập đọc/ghi ở trong không gian địa chỉ I/O. Dữ liệu SRAM có thể dễ dàng được truy cập đến thông qua 5 kiểu địa chỉ khác nhau được hỗ trợ ở trong cấu trúc của AVR .
  + Tất cả các ngắt đều có một véc tơ ngắt riêng trong bảng vecto ngắt.

Các ngắt có quyền ưu tiên theo vị trí vector ngắt của nó . Vector ngắt có địa chỉ càng thấp thì ngắt càng được ưu tiên hơn.

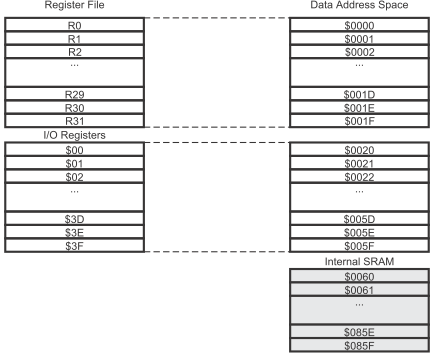
### Các bộ nhớ:

* + Bộ nhớ Flash: 32K bytes được quản lý như 16K x 16 do hầu hết các lệnh của AVR có chiều dài 16 hoặc 32 bit.



Hình : Bộ nhớ Flash

* + Bộ nhớ SRAM: 2K byte dùng để lưu biến và đánh địa chỉ.

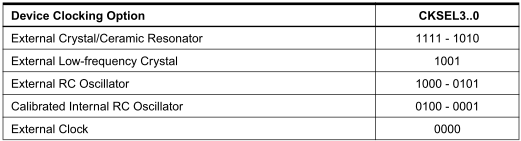


Hình : Bộ nhớ SRAM

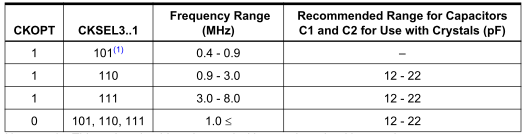
* + Bộ nhớ Eeprom: 1K bytes. Bộ nhớ Eeprom không bị mất dữ liệu khi mất nguồn, có thể ghi đọc trong lúc chạy chương trình, dùng để lưu các tham số.

### Nguồn dao động:

* + Bên trong AVR đã có sẵn một bộ giao động có thể lựa chọn với tần số từ 1Mhz – 8 Mhz (mặc định 1Mhz). Do đó nó có thể chạy mà không cần mắc thêm nguồn dao động ngoài. Muốn sử dụng nguồn dao động ngoài chúng ta phải lập trình cho các bít CKSEL3..0 và CKOPT theo bảng:



Hình : Lựa chọn Clock



Hình : Lựa chọn tần số hoạt động

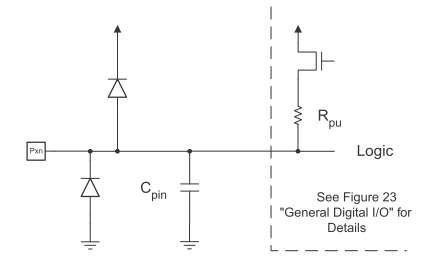
### Các ngắt:

* + Khi có ngắt sảy ra, vi điều khiển sẽ tự động lưu các tham số của chương trình và nhảy đến chương trình con thực hiện ngắt.
  + Bảng : Các ngắt của Atmega32



### Các cổng vào ra:

* + Các cổng vào ra và các thanh ghi dùng để điều khiển hướng của cổng được lập trình giá trị tới từng bit. Bộ đệm cổng có thể đủ mạnh để điều khiển hiển thị trực tiếp LED sáng. Tất cả các chân đều có các điện trở kéo lên bên trong.

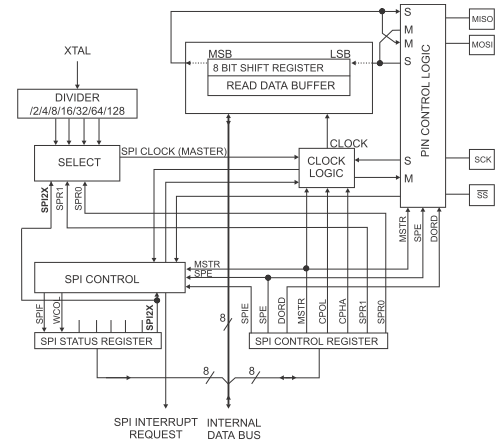


Hình : Sơ đồ nguyên lý tương đương cổng vào ra.

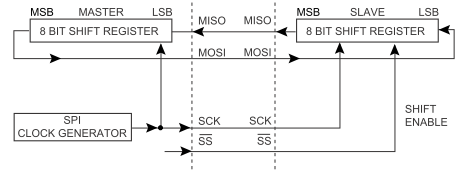
* + Mỗi cổng vào ra có thanh ghi dữ liệu PORTx ( PORTA, PORTB, PORTC, PORTD), thanh ghi hướng dữ liệu DDRx và thanh ghi dữ liệu vào PINx. Khi bit thanh ghi hướng dữ liệu bằng “1” thì chân đó là chân ra, bằng “0” là chân vào.

### Giao tiếp SPI ( Serial Peripheral Interface)

* + Giao tiếp ngoại vi nối tiếp SPI cho phép trao đổi dữ liệu đồng bộ tốc độ cao giữa Atmega32 và các thiết bị ngoại vi hoặc giữa các thiết bị AVR với nhau.
  + . Giao diện ngoại vi nối tiếp (SPI) bao gồm các đặc điểm dưới đây
    - Truyển song công, truyền dữ liệu đồng bộ 3 dây (Three wire)
    - Chế độ hoạt động Master / Slave
    - Chuyển dữ liệu MSB First hoặc LSB First
    - 7 tốc độ bit có thể lập trình
    - Cờ ngắt cuối phiên truyền
    - Cờ ngăn xung đột ghi
    - Đánh thức khỏi chế độ chờ Idle
    - Chế độ SPI Master tốc độ kép (CK/2 )
  + Sơ đồ khối:

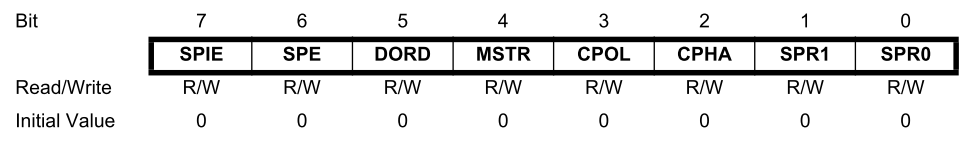


Hình : Sơ đồ khối giao tiếp SPI.

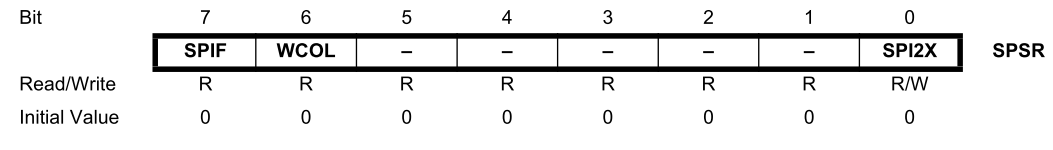


Hình : Kết nối giao tiếp SPI

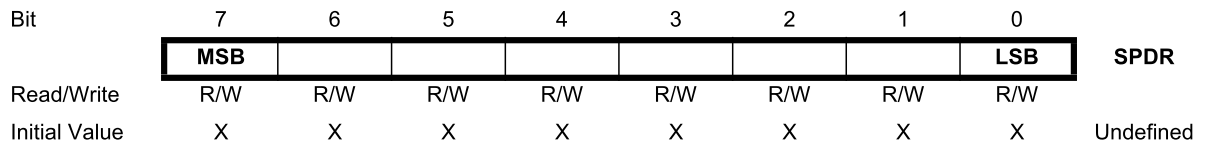
* + Hoạt động:
    - Master sẽ khởi tạo phiên giao tiếp bằng cách kéo chân lựa chọn Slave SS xuống mức thấp. Master và Slave chuẩn bị dữ liệu để gửi vào các thanh ghi dịch tương ứng của chúng , Master tạo ra xung nhịp trên đường SCK để chuyển tiếp dữ liệu . Dữ liệu được chuyển từ Master sang Slave trên đầu ra Master Out - Slave In , MOSI, và từ Slave sang Master bằng chân Master In - Slave Out , MISO. Sau mỗi gói dữ liệu , Master sẽ đồng bộ hóa với Slave bằng một xung cao trên đường lựa chọn Slave SS.
    - Khi được cấu hình là một Master , giao diện SPI không tự động điều khiển đường SS . Việc này phải được điều khiển bằng phần mềm người sử dụng trước khi quá trình giao tiếp có thể bắt đầu . Khi việc này được thực hiện ,ghi một Byte lên thanh ghi dữ liệu SPI sẽ khởi động bộ tạo xung nhịp SPI và phần cứng sẽ di chuyển 8 bít dữ liệu vào trong Slave . Sau khi di chuyển một Byte , bộ tạo xung nhịp SPI dừng lại, đặt cờ báo kết thúc quá trình chuyển dữ liệu (SPIF) . Nếu như ngắt SPI được kích hoạt (bít SPIE ) trong thanh ghi SPCR, một ngắt được truy vấn . Master có thể tiếp tục chuyển byte dữ liệu tiếp theo bằng cách ghi vào trong thanh ghi SPDR hoặc tạo tín hiệu kết thúc gói dữ liệu bằng xung cao trên đường lựa chọn Slave, nhánh SS. Byte đến cuối cùng sẽ được giữ trong bộ đệm của thanh ghi cho lần sử dụng sau.
    - Khi được cấu hình là Slave , giao diện SPI sẽ ở chế độ ngủ khi chân SS được điều khiển ở mức cao . Trong trạng thái này , phần mềm có thể cập nhật các thanh ghi dữ liệu SPI – SPDR , nhưng dữ liệu sẽ không được dịch chuyển ra ngoài bằng xung nhịp trên chân SCK cho đến khi chân SS được điều khiển ở mức thấp. Kết thúc truyền một byte nó cũng tạo ra ngắt nếu như được lập trình. Slave có thể tiếp tục đặt dữ liệu mới để gửi vào trong thanh ghi SPDR. Byte đến cuối cùng sẽ được giữ lại sử dụng sau.
  + Thanh ghi điều khiển SPCR



* Bit 7 – SPIE: Cho phép ngắt SPI
* Bit 6 – SPE: Cho phép SPI
* Bit 5 – DORD: Thứ tự dữ liệu. DORD = 1 , LSB first, DORD = 0, MSB first.
* Bit 4 – MSTR: Chọn Master/Slave, 1 Master, 0 Slave.
* Bit 3 – CPOL: Chọn cực Clock, bằng 1 SCK ở mức cao khi rảnh, bằng 0 SCK ở mức thấp khi rảnh.
* Bit 2 – CPHA: Pha Clock
* Bits 1, 0 – SPR1, SPR0: chọn tốc độ đồng hồ.
* Thanh ghi trạng thái SPSR

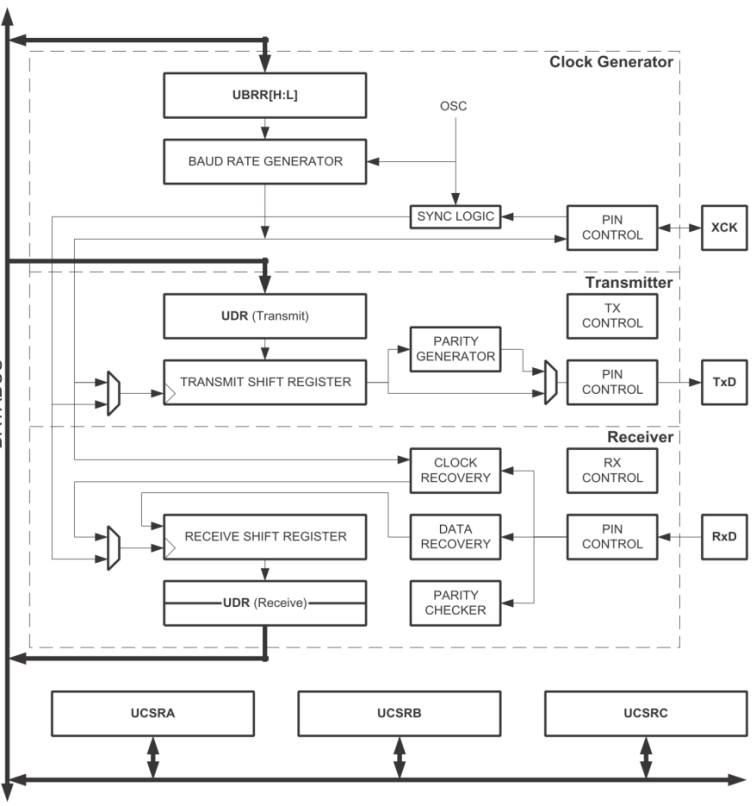


* Bit 7 – SPIF: Cờ ngắt SPI
* Bit 6 – WCOL: Cờ xung đột ghi
* Bit 5..1 – Res: Bit dự trữ
* Bit 0 – SPI2X: Bit nhân đôi tốc độ.
* Thanh ghi dữ liệu SPDR



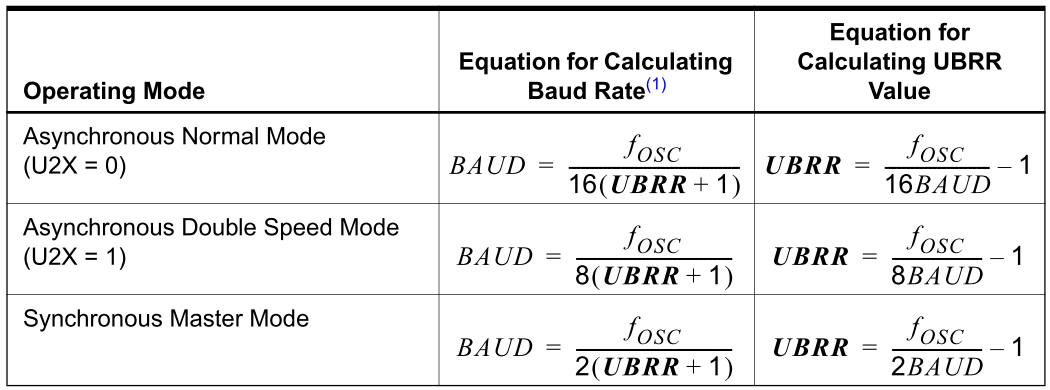
### Giao tiếp USART

* + USART: Universal Synchronous and Asynchronous serial Receiver and Transmitter - Thu phát nối tiếp đồng bộ và không đồng bộ chung là giao tiếp nối tiếp có độ linh hoạt cao. Giao tiếp tại các chân TXD, RXD, XCK của vi điều khiển. Các tính năng chính:
    - Hoạt động song công.
    - Hai chế độ đồng bộ và không đồng bộ.
    - Hoạt động đồng bộ xung Master hay Slave.
    - Máy phát tốc độ Baud độ chính xác cao.
    - Hỗ trợ truyền các khung nối tiếp với 5 ,6 ,7, 8 hoặc 9 bit dữ liệu và 1 hoặc 2 bit stop.
    - Tạo toàn vẹn dữ liệu chẵn, lẻ và hỗ trợ kiểm tra tính chẵn lẻ bằng phần cứng .
    - Dò tràn dữ liệu.
    - Dò lỗi khung truyền.
    - Bộ lọc nhiễu bao gồm dò tìm bit khởi động sai và bộ lọc số thông thấp.
    - 3 ngắt riêng biệt: Phát xong, trống thanh ghi dữ liệu TX , thu xong.
    - Chế độ truyền thông nhiều bộ sử lý.
    - Chế độ truyền thông không đồng bộ tốc độ kép.
  + Sơ đồ khối:



Hình : Sơ đồ khối bộ USART

* + Tính toán tốc độ Baud:
    - Bảng : Tính toán tốc độ baud:



Baud: Tốc độ baud ( bps)

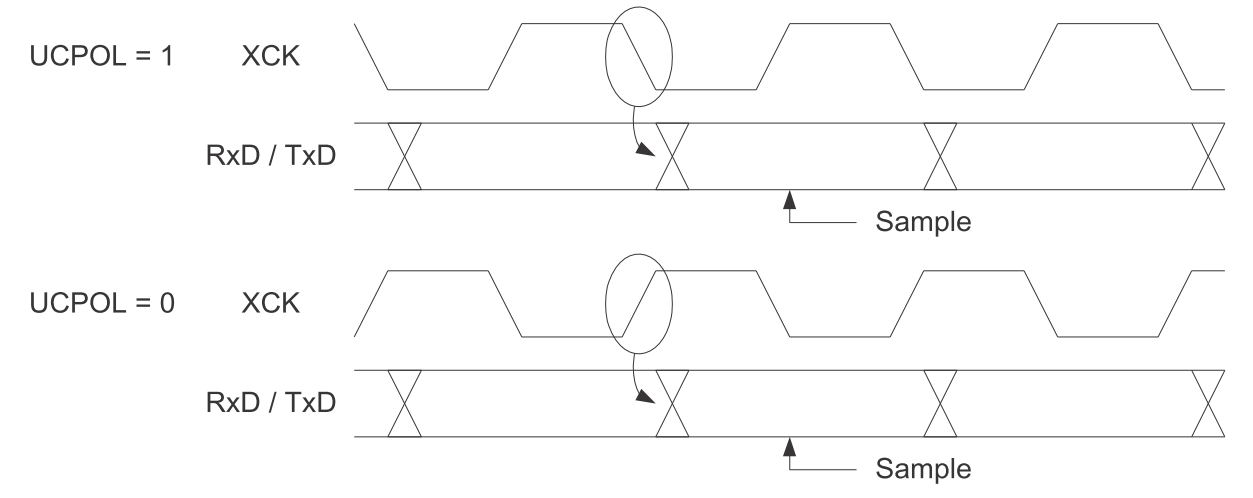
Fosc: Tần số dao động đồng hồ hệ thống

UBRR: Nội dung của thanh ghi UBRRH và UBRRL, ( 0 – 4095)

* + Tốc độ nhân đôi:

Tốc độ chuyển dữ liệu có thể được nhân đôi bằng việc cài đặt bit U2X trong thanh ghi UCSRA. Việc cài đặt bit này chỉ gây ảnh hưởng cho chế độ không đồng bộ. Cài đặt bit này là 0 khi sử dụng chế độ điều khiển đồng bộ.

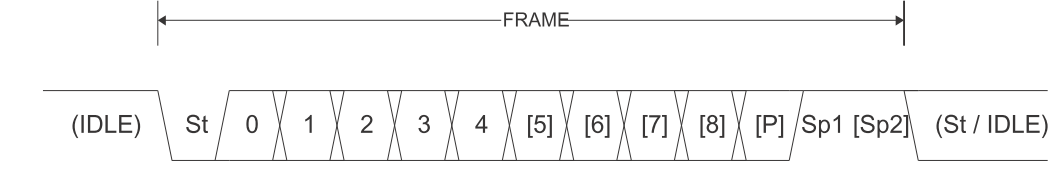
* + Định thời chế độ đồng bộ:



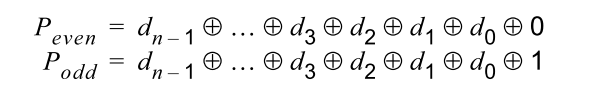
Các bit UCPOL và Bit UCRSC lựa chọn sườn xung XCK được sử dụng

cho việc lấy mẫu dữ liệu và thay đổi dữ liệu. khi UCPOL = 0 thì dữ liệu sẽ thay đổi tại sườn lên của xung XCK và được lấy mẫu tại sườn xuống của xung XCK . Nếu UCPOL = 1 , dữ liệu sẽ thay đổi tại sườn xuống của xung XCK và được lấy mẫu tại sườn lên của xung XCK.

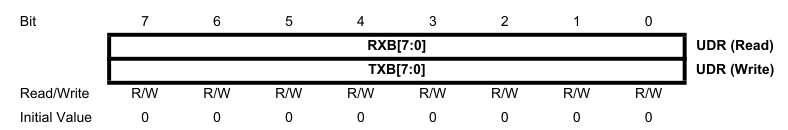
* + Các dạng khung dữ liệu – Frame Formats
    - Một khung được xác định bằng một ký tự gồm các bit dữ liệu, các bit bộ đồng bộ hóa (các bit start và stop ), và bit chẵn lẻ cho việc kiểm tra các lỗi . USART chấp nhận tất cả 30 kết hợp của các định dạng frame sau:
    - 1 bit start
    - 5 ,6 ,7 ,8 hoặc 9 bit dữ liệu
    - Không có , hoặc có các bit chẵn lẻ
    - 1 hoặc 2 bit stop



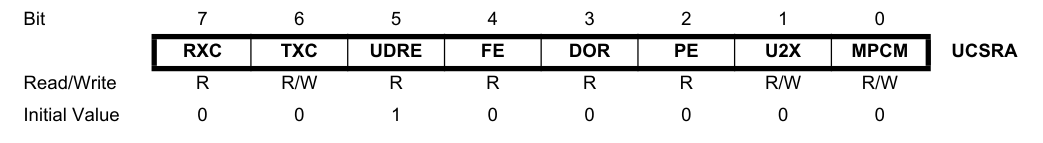
Hình : Định dạng khung dữ liệu.

* + - St bít start , luôn luôn ở mức thấp
    - (n) các bit dữ liệu (từ 0 đến 8 )
    - P bit chẵn lẻ . có thể là lẻ hoặc chẵn
    - Sp bit Stop , luôn ở mức cao
  + Tính toán bit chẵn lẻ - Parity Bit Calculation
    - Bit chẵn lẻ được tính toán bằng cách cộng module tất cả các bit dữ liệu . Nếu bit lẻ được sử dụng, kết quả của quá trình cộng module được đảo ngược . Sự liên quan giữa bit chẵn lẻ và các bit dữ liệu như bên dưới 

* + - P even : bit chẵn lẻ sử dụng bậc chẵn
    - P odd: bit chẵn lẻ sử dụng bậc lẻ
    - d n: bit dữ liệu n của chuỗi kí tự
  + Nếu được sử dụng, bit chẵn lẻ được đặt giữa bit dữ liệu cuối và bit stop đầu tiên của chuỗi khung .
  + Các thanh ghi USART:
    - Thanh ghi dữ liệu I/O



* + - Thanh ghi điều khiển và trạng thái USART A – UCSRA



Bit7 – RCX: hoàn thành thu nhận tín hiệu

Bit cờ này được đặt khi có các dữ liệu không được đọc trong bộ đệm nhận và bị xóa khi bộ đệm nhận trống

Bit 6 – TXC : hoàn thành chuyển dữ liệu USART

Bit 5 – UDRE : báo trống thanh ghi dữ liệu USART

Bit 4 – Fe : lỗi khung truyền

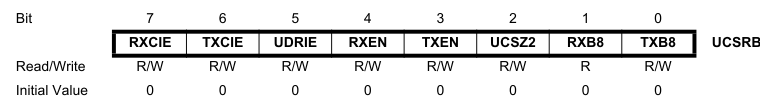
Bit 3 – DOR : báo tràn dữ liệu

Bit 2 – UPE : lỗi chẵn lẻ

Bit 1 – U2X: tốc độ truyền dữ liệu USART kép

Bit 0 – MPCM : chế độ truyền thông đa xử lý

* + - Thanh ghi trạng thái và điều khiển USART B – UCSRB



Bit 7 – RXCIE : kích hoạt ngắt hoàn thành RX

Bit 6 – TXCIE : kích hoạt ngắt hoàn thành TX

Bit 5 – UDRIE : kích hoạt ngắt trống thanh ghi dữ liệu USART

Bit 4 – RXEN : kích hoạt bộ thu tín hiệu

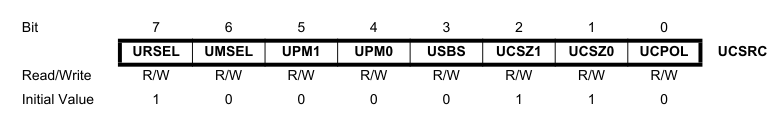
Bit 3 – TXEN : kích hoạt bộ chuyển phát

Bit 2 – UCSZ2 : kích cỡ chuỗi kí tự

Bit 1 – RXB8 : bit 8 dữ liệu đến

Bit 0 – TXB8 : bit 8 dữ liệu chuyển phát

* + - Thanh ghi trạng thái và điều khiển USART C – UCSRC



Bit 7 – bit dự trữ

Bit 6 – UMSELn : lựa chọn chế độ USART

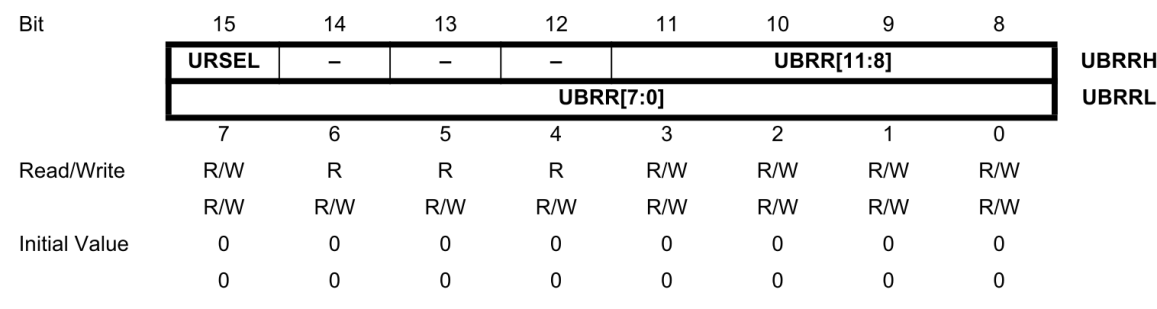
Bit 5:4 – UPMn1:0 : chế độ chẵn lẻ

Bit 3 – USBSn : lựa chọn bit stop

Bit 2:1 – UCSZn1:0 : kích cỡ chuỗi kí tự

Bit 0 – UCPOLn : cực xung nhịp

* + - Các thanh ghi Baud Rate USART – UBRRL và UBRRH



Bit 15: URSEL: Bit lựa chọn thanh ghi UBRRH hay UCSRC.

Bit 14:12: Bỉt dự trữ.

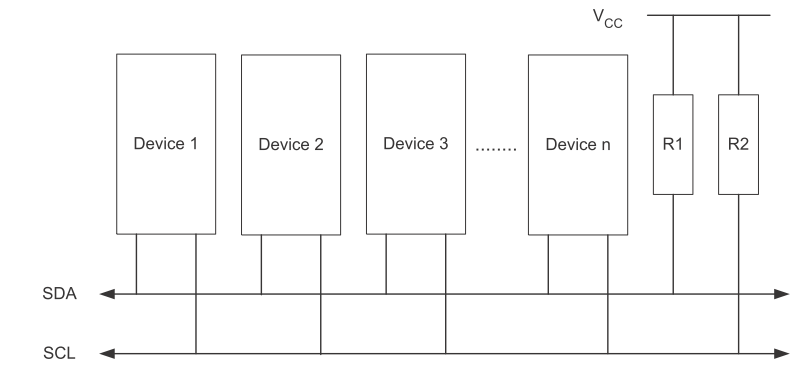
Bit 11:0 – UBRR11:0 : thanh ghi baud rate USART

### Giao tiếp hai dây tuần tự \_ Two – wire Serial Inteface ( TWI, I2C)

* + Đặc điểm
    - Đơn giản nhưng mạnh mẽ và linh hoạt , chỉ cần thiết 2 đường bus.
    - Hỗ trợ cả chế độ điều khiển Master và Slave
    - Thiết bị có thể hoạt động như một bộ chuyển phát hoặc một bộ thu
    - Không gian địa chỉ 7-bit cho phép nâng lên 128 địa chỉ Slave khác nhau
    - Hỗ trợ phân định chế độ Master – slave
    - Nâng lên tốc độ chuyển dữ liệu là 400 kHz
    - Mạch loại bỏ nhiễu loại bỏ đỉnh nhọn trên các đường bus
    - Đầy đủ các địa chỉ slave lập trình được với sự hỗ trợ gọi chung
    - Khi nhận ra địa, AVR bị đáng thức trong các chế độ sleepmode.

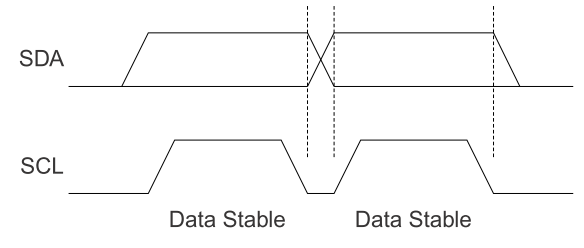
* + Định nghĩa bus giao diện tuần tự hai dây

Giao diện tuần tự hai dây (TWI) là bộ công cụ lý tưởng cho các ứng dụng vi điều khiển thông thường . Giao thức TWI cho phép người thiết kế hệ thống liên kết trên 128 thiết bị khác nhau sử dụng chỉ 2 đường bus 2- hướng , 1 cho xung nhịp (SCL) và 1 cho dữ liệu (SDA) . Phần cứng bên ngoài để điều khiển bus chỉ cần 1 bộ điện trở pull-up đơn cho mỗi dây trong đường bus TWI . Tất cả các thiết bị được kết nối lên bus có địa chỉ riêng , và cơ chế cho việc giải quyết nội dung bus đã sẵn có trong giao thức TWI.

 Hình : Kết nối TWI bus

* + Trao đổi dữ liệu và định dạng khung:
    - Quá trình chuyển các bít

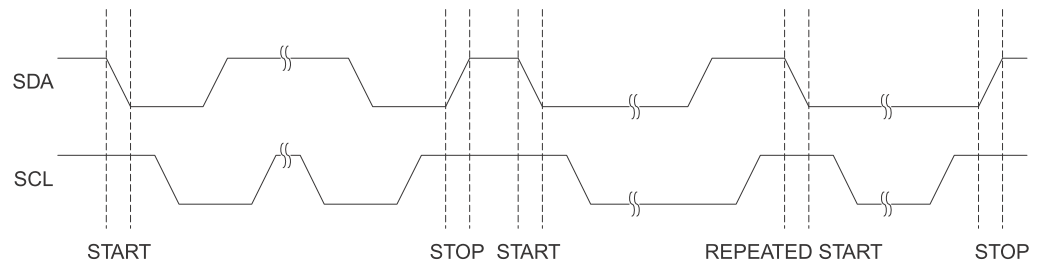
Mỗi bít dữ liệu trên bus TWI được kèm theo một xung trên đường truyền xung nhịp. Mức của đường dữ liệu phải ổn định khi đườn xung nhịp ở mức cao.



Hinh : Trao đổi dữ liệu TWI

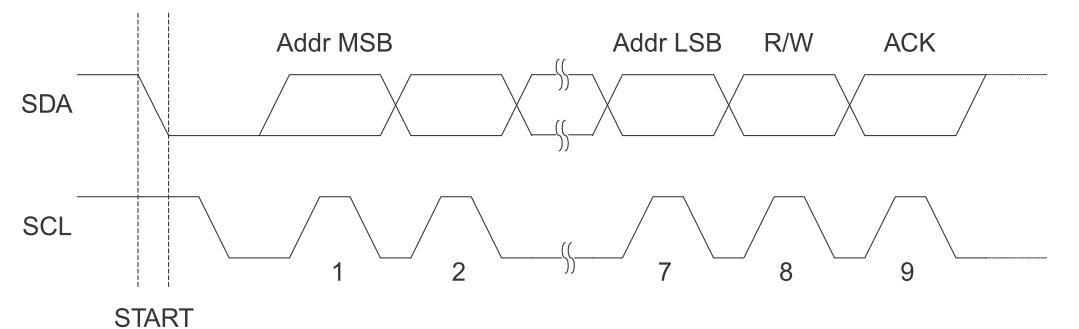
* + - Các điều kiện khởi động và dừng truyền:

Master khởi tạo và kết thúc một quá trình chuyển dữ liệu. Quá trình chuyển dữ liệu được khởi tạo khi Master đưa ra một điều kiện bắt đầu trên bus, và nó bị kết thúc khi master đưa ra một điều kiện stop. Giữa một điều kiện start và stop, bus đang được xét đến bận, và không Master nào khác có thể can thiệp được. Như giản đồ biên dưới, các điều kiện start và stop được ký hiệu bằng cách thay đổi mức của dòng SDA, khi mà dòng SCL ở mức cao.



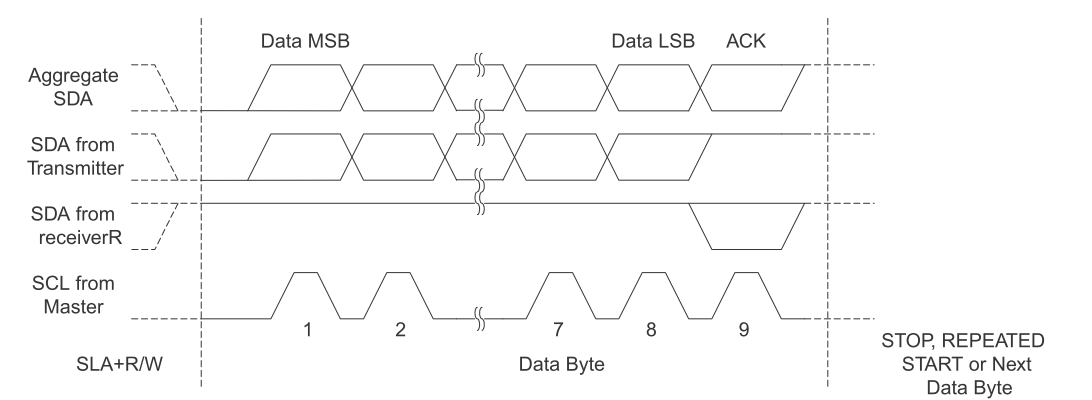
Hình : Điều kiện start và stop TWI

* + Định dạng khung địa chỉ:



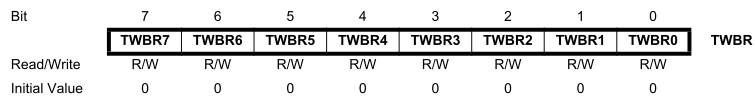
Hình : Định dạng khung địa chỉ TWI

* + Định dạng gói dữ liệu:



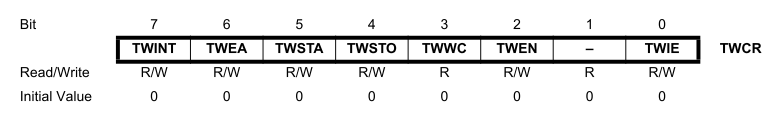
Hình : Định dạng gói dữ liệu.

* + Các thanh ghi TWI
    - Thanh ghi tốc độ bit TWI – TWBR



Bit 7..0 thanh ghi tốc độ bit TWI

* Thanh ghi điều khiển TWI – TWCR



Bit 7 – TWINT : cờ ngắt TWI

Bit 6 – TWEA : bit nhận biết kích hoạt TWI

Bit 5 – TWSTA : bit điều kiện khởi động TWI

Bit 4 – TWSTO : bit điều kiện STOP TWI

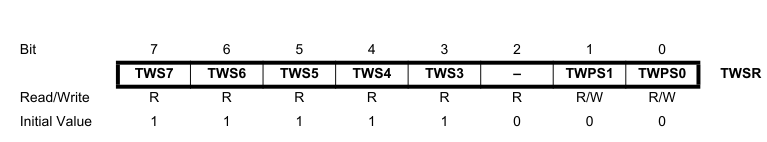
Bit 3 – TWWC – cờ báo viết xung đột viết TWI

Bit 2 – TWEN : bit kích hoạt TWI

Bit 1 – Res : bit dự trữ

Bit 0 – TWIE : kích hoạt ngắt TWI

* Thanh ghi trạng thái TWI – TWSR

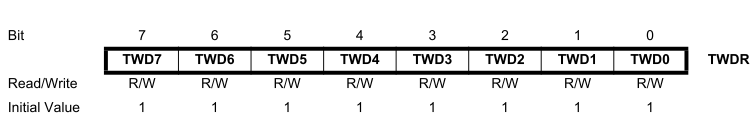


Bit 7..3 – TWS : trạng thái TWI

Bit 2 – Res : bit dự trữ

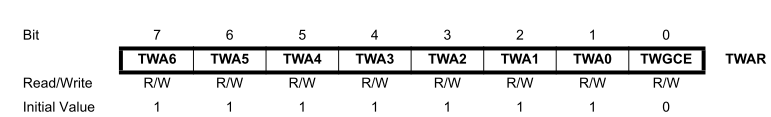
Bit 1..0 – TWPS : các bit đếm gộp trước TWI

* Thanh ghi dữ liệu TWI – TWDR



Bit 7...0 – TWD : thanh ghi dữ liệu TWI

* Thanh ghi địa chỉ TWI (Slave ) – TWAR

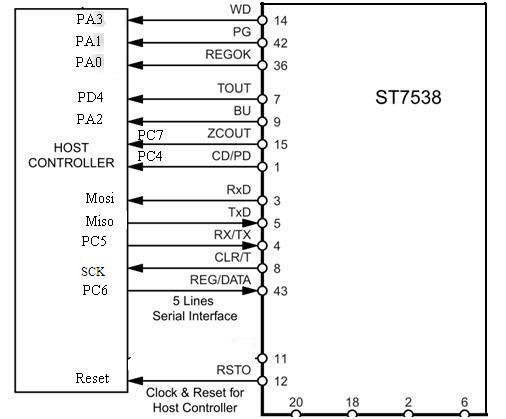


Bit 7..1 –TWA : thanh ghi địa chỉ TWI (slave )

Bit 0 – TWGCE : bit kích hoạt nhận diện gọi chung TWI

## Cấu trúc giao tiếp

* Giao tiếp giữa Vi điều khiển và ST7538 dựa trên cơ chế đồng bộ bit. Giao tiếp qua các chân Mosi, Miso, SCK của vi điều khiển, nối với các chân RxD, TxD, CLR/T của ST7538. Ngoài ra còn có các chân báo của ST7538 là BU, REG\_OK, RXTX, REG\_DATA, CD\_PD.
* Vi điều khiển dựa vào xung Clock trên chân SCK do ST7538 cung cấp để truyền hoặc nhận dữ liệu từ ST7538



Hình : Giao tiếp Vi điều khiển và ST7538

## Mạch nguyên lý

### Mạch xử lý trung tâm

Atmega32

Khối thời gian thực

Khối nguồn

Khối Giao tiếp máy tính

Khối mạch nạp

Nút bấm và đèn báo

Tới khối giao tiếp đường dây điện

Hình : Sơ đồ khối mạch xử lý trung tâm

* Khối nguồn và Atmega32
  + Khối nguồn: sử dụng IC 7805 làm IC ổn áp, cung cấp nguồn ổn định 5V. Nguồn cấp cho IC 7805 từ 7 – 12V có thể lấy từ bộ nguồn ngoài hoặc từ Khối giao tiếp đường dây điện.
  + Thạch anh sử dụng có giá trị 11.0592 MHz để tương thích với tốc độ giao tiếp cổng COM máy tính.
  + Đèn Led ở mạch Reset có tác dụng báo mạch đang ở trạng thái nạp (đèn sáng) hay đang chạy chương trình trong bộ nhớ (đèn tắt).



* Khối mạch nạp và giao tiếp máy tính
  + Mạch nạp: Nạp qua các chân Mosi, Miso, Sck sử dụng trong giao tiếp SPI của vi điều khiển. Mạch sử dụng cổng COM máy tính để nạp. Các diode D2 -> D8 tạo thành mạch gim điện áp, chuyển điện áp từ cổng COM máy tính –9V/ +9V thành điện áp 0V/5V tương thích với điện áp logic của vi điều khiển.
  + Giao tiếp máy tính: Giao tiếp với cổng Com máy tính theo chuẩn USART. Sử dụng IC Max232 làm IC đệm, giao tiếp qua các chân TXD và RXD của vi điều khiển và máy tính.
  + Khi mạch ở chế độ nạp công tắc SW1 ở trạng thái bật, SW2 tắt, khi mạch ở chế độ giao tiếp máy tính SW1 tắt, SW2 bật.



* Nút bấm và đèn báo
  + Các nút bấm B2-> B4 được nối với các chân ngắt của vi điều khiển, khi bấm nút thì chương trình ngắt tương ứng sẽ được thực hiện.
  + Các đèn báo D9->D12 cho ta biết mạch đang giao tiếp ở chế độ nào, chế độ ghi đọc thanh ghi hay truyền phát dữ liệu với khối giao tiếp đường dây điện. Đèn D13 là đèn báo nguồn.



* Khối thời gian thực
  + Sử dụng IC thời gian thực DS 1307. Giao tiếp với vi điều khiển theo chuẩn giao tiếp I2C ( Inter – integrated circuit) qua các chân SCL (clock) , SDA (data). Chân Sout tạo xung Clock 1s. Khi vi điều khiển cần dữ liệu ngày tháng năm nó sẽ đọc dữ liệu từ các thanh ghi tương ứng của IC DS1307.



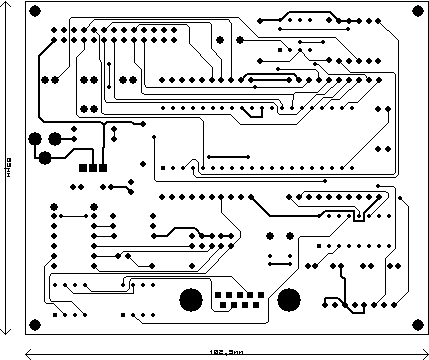
* Các jắc cắm
  + Jắc cắm CON26 (connector 26 pins) dùng để kết nối khối xử lý trung tâm với khối giao tiếp đường dây điện.
  + Các Jắc cắm CON10 dùng để kết nối với các ngoại vi khi cần mở rộng chức năng của mạch.
  + Jắc cắm J2 dùng để kết nối với mạch nạp ngoải hoặc giao tiếp SPI với một mạch main khác.



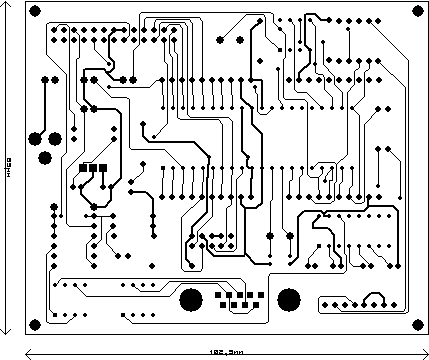
* Sơ đồ mạch in

Các đường nguồn cần vẽ to hơn đường tín hiệu khoảng 2 lần, phủ mass nối đất giúp giảm nhiễu.

* + Mặt trên

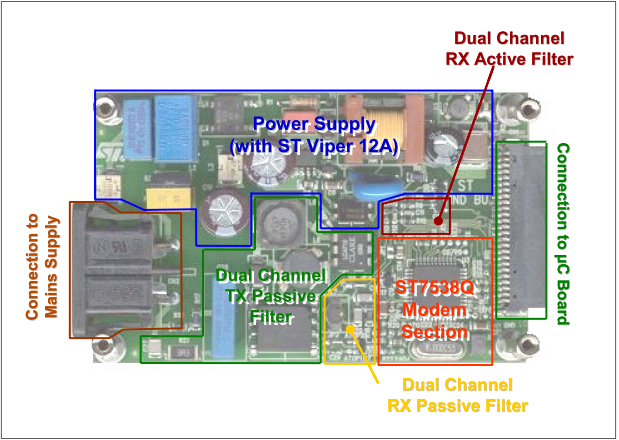


* + Mặt dưới



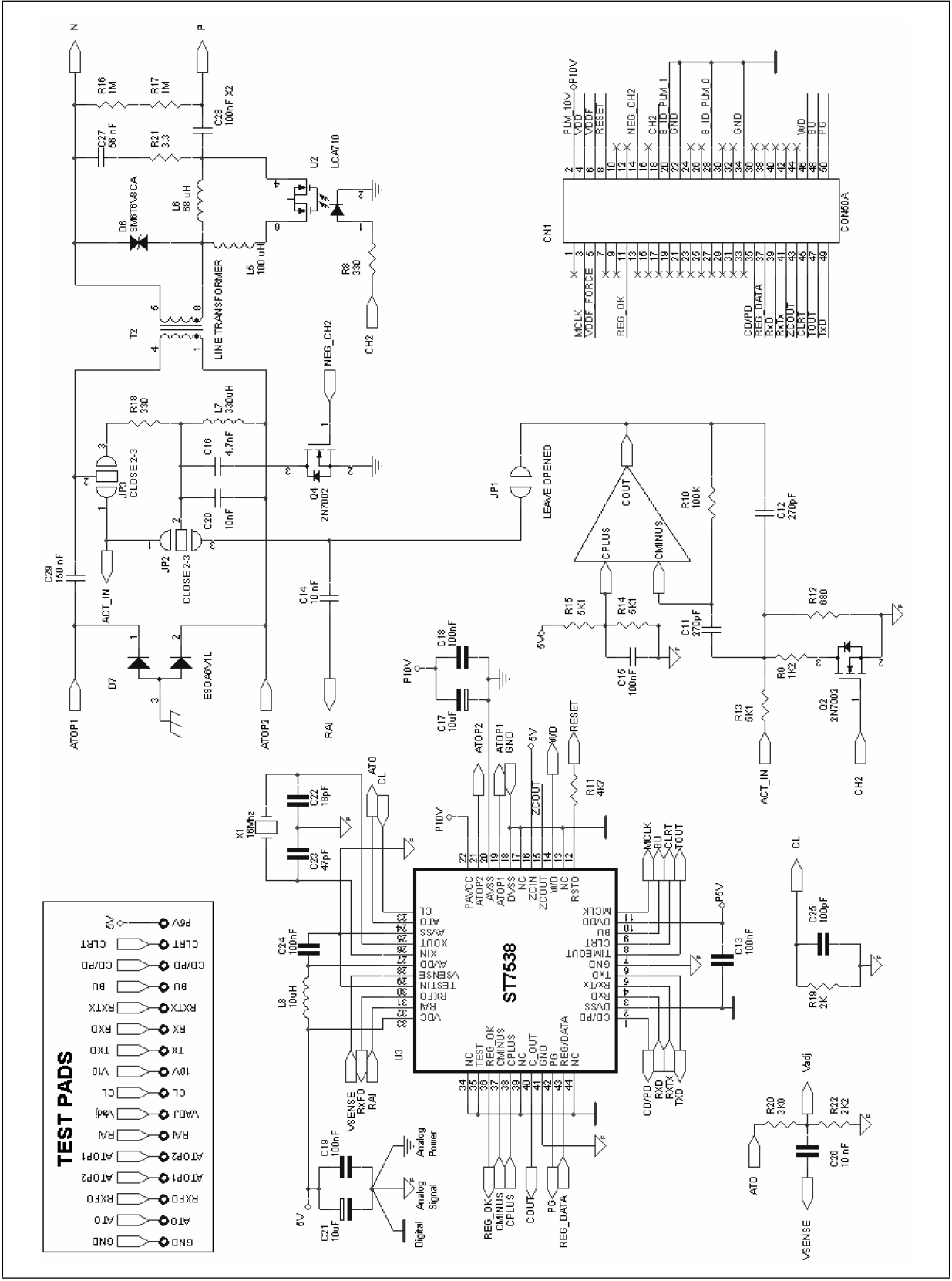
### Mạch giao tiếp đường dây điện

- Sơ đồ khối giao tiếp đường dây điện:

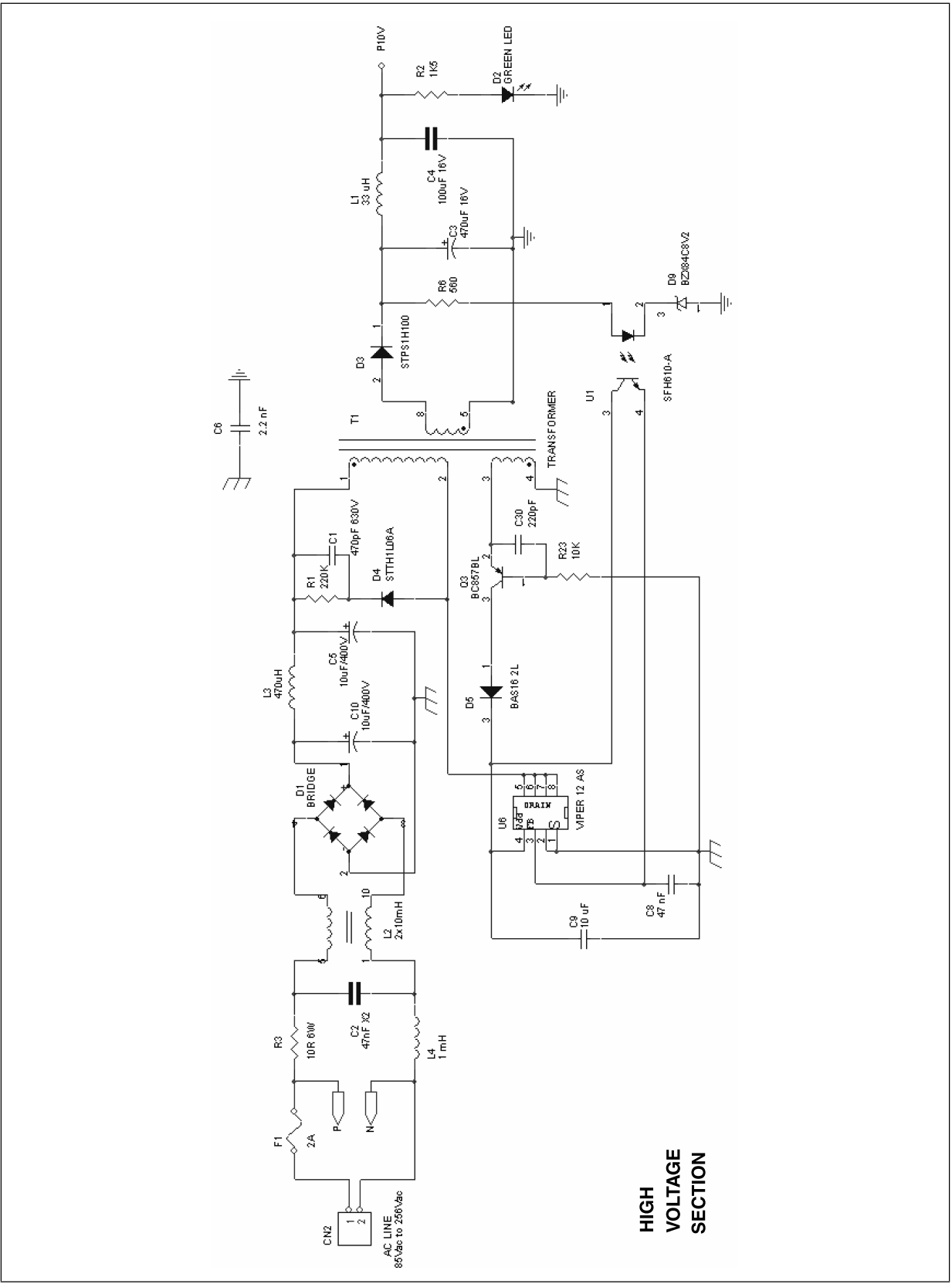


- Các sơ đồ nguyên lý:

* Sơ đồ nguyên lý phần điều chế, giải điều chế và phần giao diện phối ghép

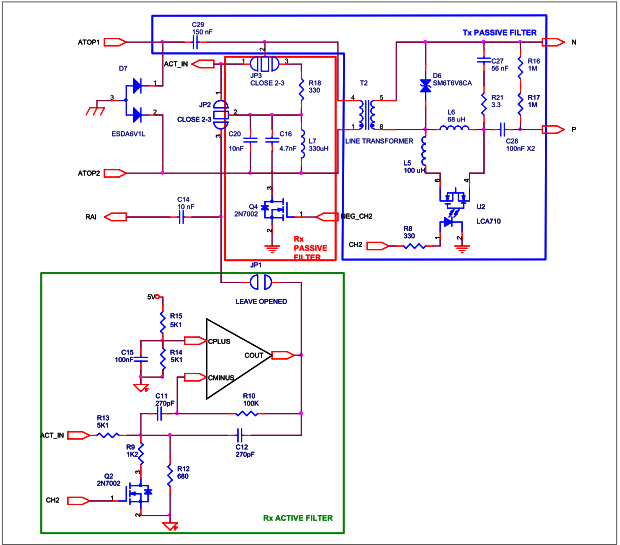


* Sơ đồ nguyên lý phần nguồn

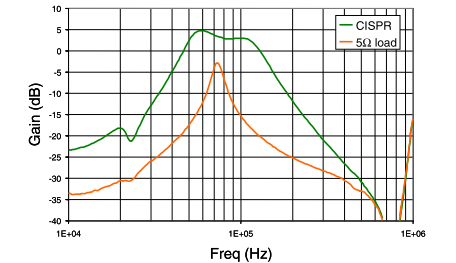


- Giao diện phối ghép đường điện:

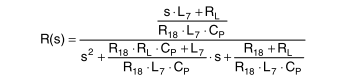
* Giao diện phối ghép đường điện được kết hợp bởi ba bộ lọc khác nhau : Bộ lọc thụ động Tx hai kênh, bộ lọc thụ động Rx hai kênh và bộ lọc chủ động Rx hai kênh.



* Bộ lọc hai kênh Tx thụ động
  + Bộ lọc thụ động Tx hai kênh được tạo bởi các phần tử: Tụ C29 tách DC, biến áp T2, cuộn cảm L5, L6 và X2 , tụ cách ly C28, cộng thêm một mạch nhắnh rẽ tạo bởi R21 và C27.
  + Tần số trung tâm của loạt bộ cộng hưởng được tính xấp xỉ:
    - Fc =
    - Cp = C29(C27 + C28)/(C27+C28+C29) và Lp bằng L6 với kênh 72kHz và L6//L5 với kênh 86 kHz.
    - Đo đáp ứng tần số của bộ lọc với kênh 72kHz:



* Bộ lọc hai kênh Rx thụ động:
  + Bộ lọc hai kênh Rx thụ động được tạo bởi một điện trở mắc với một mạch cộng hưởng L-C. Hàm truyền đạt của bộ lọc:

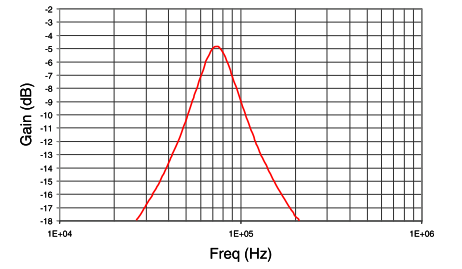


RL là điện trở của cuộn cảm L7, Cp = C16 + C20 cho kênh 72, C20 cho kênh 86 kHz,

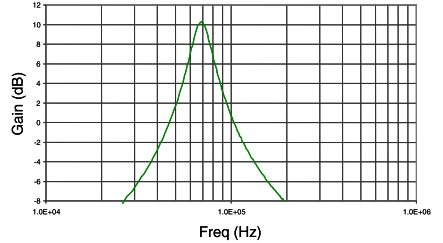
* Tần số trung tâm



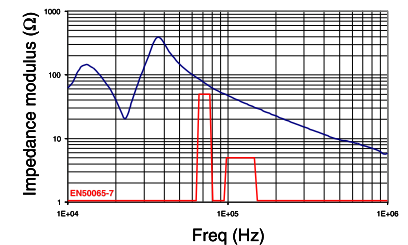
* Đo đáp ứng tần số của bộ lọc Rx thụ động cho kênh 72 kHz



* Bộ lọc hai kênh Rx chủ động:
  + Bộ lọc chủ động phù hợp để thu tín hiệu có mức suy giảm cao. Ngoải hệ số khuyếch đại của một bộ lọc chủ động, nó có thể phát hiện tín hiệu thấp hơn độ nhạy của bộ thu ST7538Q và còn lọc được nhiễu quanh nó. Do đó chọn bộ lọc Rx phụ thuộc hầu hết vào suy giảm tạo ra bởi mạng và điểm chèn nút giao tiếp đường điện.
  + Đo đáp ứng tần số của bộ lọc Rx chủ động cho kênh 72kHz



* Trở kháng vào:
  + Giá trị độ lớn trở kháng chứ tỏ thiết kế tham khảo bộ ST7538Q hai kênh phù hợp với tiêu chuẩn EN50065-7, tiêu chuẩn này đặt ra ràng buộc trở kháng nhỏ nhất cho loại thiết bị này:
    - Chế độ Tx: tự do trong dải 3 tới 95kHz, 3 Ohm trong giải 95 tới 148.5 kHz
    - Chế độ Rx: 10 Ohm trong dải từ 3 tới 9 kHz, 50 Ohm trong dải 9 tới 95 kHz , 5 Ohm trong dải từ 95 tới 148,5 kHz
  + Đo độ lớn trở kháng vào của bộ phối ghép trong chế độ thu ở kênh 72kHz



* + Đo độ lớn trở kháng vào của bộ phối ghép trong chế độ phát ở kênh 72kHz

